

Family list

5 family members for:

JP5299426

Derived from 4 applications.

- 1 Semiconductor device having reinforced getter effect - comprises substrate having main surface and lower oxide layer surface with layer of getter material on oxide layer**
Publication info: **DE4304849 A1** - 1993-08-26
DE4304849 C2 - 2000-01-27
- 2 No English title available**
Publication info: **JP5299426 A** - 1993-11-12
- 3 Semiconductor device with a gettering sink material layer**
Publication info: **US5374842 A** - 1994-12-20
- 4 Method of manufacturing semiconductor device with a gettering sink material layer**
Publication info: **US5516706 A** - 1996-05-14

Data supplied from the *esp@cenet* database - Worldwide

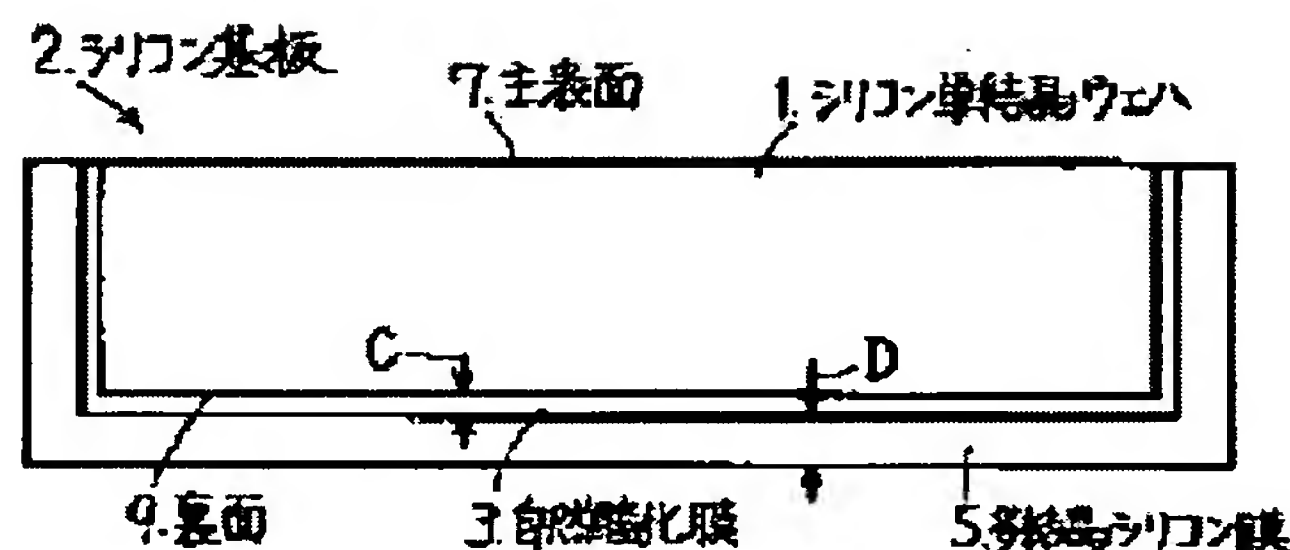
JP5299426

Patent number: JP5299426
Publication date: 1993-11-12
Inventor: KUSAKABE KENJI
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: **H01L21/322; H01L21/02;** (IPC1-7): H01L21/322
- european:
Application number: JP19930014891 19930201
Priority number(s): JP19920035179 19920221

Report a data error here

Abstract of JP5299426

PURPOSE:To manufacture a semiconductor substrate from which an enough gettering effect can be gained by providing the semiconductor substrate with a semiconductor substrate having a principal surface suitable for forming a semiconductor device and a rear surface on which a natural oxide film of a specified thickness is formed and with a thin film for gettering which is formed on the natural oxide film. **CONSTITUTION:**A silicon substrate 2 is provided with a silicon single crystalline wafer 1, a natural oxide film 3 and a polycrystalline silicon film 5. The thickness of the natural oxide film 3 is controlled at zero or above and under 10Angstrom . In other words, there is the natural oxide film 3 which is formed inevitably on the rear surface 9 of the silicon substrate 2. The thickness of the natural oxide film 3 shown by C is about 7Angstrom . Below the natural oxide film 3, the polycrystalline silicon film 5 is formed. The thickness of the polycrystalline silicon film 5 shown by D is about 1μm. On the principal surface 7 of the silicon single crystalline wafer 1, a semiconductor element is to be formed. By this method, heavy metal moves smoothly from the silicon single crystalline wafer 1 to the polycrystalline silicon film 5 during gettering.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-299426

(43) 公開日 平成 5 年 (1993) 11 月 12 日

(51) Int. Cl. ⁵

H01L 21/322

識別記号

P 8617-4M

Q 8617-4M

F I

審査請求 未請求 請求項の数 5 (全 9 頁)

(21) 出願番号 特願平5-14891

(22) 出願日 平成 5 年 (1993) 2 月 1 日

(31) 優先権主張番号 特願平4-35179

(32) 優先日 平 4 (1992) 2 月 21 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 日下部 兼治

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機

株式会社北伊丹製作所内

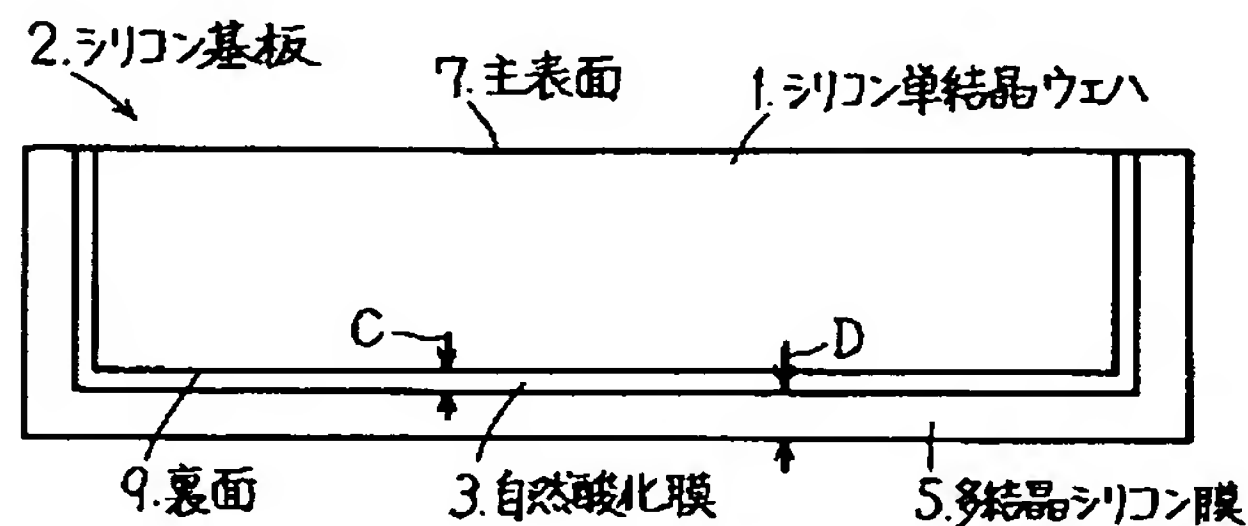
(74) 代理人 弁理士 深見 久郎 (外 3 名)

(54) 【発明の名称】 半導体装置および半導体基板の製造方法

(57) 【要約】

【構成】 シリコン基板 2 は、シリコン単結晶ウエハ 1 と自然酸化膜 3 と多結晶シリコン膜 5 とを備えている。自然酸化膜 3 の厚みは 0 以上 1 0 Å 未満に制御されている。

【効果】 自然酸化膜 3 の厚みが 0 以上 1 0 Å 未満にされているので、ゲッタリングの際に、重金属はシリコン単結晶ウエハ 1 から多結晶シリコン膜 5 にスムーズに移動する。つまりゲッタリングの効果を向上させることができる。



【特許請求の範囲】

【請求項 1】 半導体装置を形成するのに適した主表面と厚さ 10 Å 未満の自然酸化膜が形成された裏面とを有する半導体基板と、

前記自然酸化膜上に形成されたゲッタリング用薄膜と、を備えた半導体装置。

【請求項 2】 主表面と厚さ 10 Å 未満の自然酸化膜が形成された裏面とを有する第 1 導電型の半導体基板と、前記半導体基板にチャネル領域を形成するように前記主表面に間を隔てて形成された第 2 導電型の 1 対のソース／ドレイン領域と、

ゲート絶縁膜を介在して前記チャネル領域上に形成されたゲート電極と、

前記自然酸化膜上に形成されたゲッタリング用薄膜と、を備えた半導体装置。

【請求項 3】 主表面と厚さ 10 Å 未満の自然酸化膜が形成された裏面とを有する半導体基板と、

前記半導体基板の主表面上に形成され、エミッタ領域、ベース領域およびコレクタ領域を有するバイポーラトランジスタと、

前記自然酸化膜上に形成されたゲッタリング用薄膜と、を備えた半導体装置。

【請求項 4】 エッチャントを用いて半導体ウエハの表面を滑らかにする工程と、

前記エッチャントを取り除くために前記半導体ウエハを水洗する工程と、

前記水洗工程により前記半導体ウエハの裏面に形成された自然酸化膜の厚みを減ずる工程と、

前記自然酸化膜の上にゲッタリング用薄膜を形成する工程と、

を備えた半導体基板の製造方法。

【請求項 5】 半導体ウエハの裏面に形成された自然酸化膜の厚みを 10 Å 未満にする工程と、

前記自然酸化膜の上にゲッタリング用薄膜を形成する工程と、

を備えた半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、ゲッタリング用の薄膜が形成された半導体基板の製造方法およびその半導体基板を用いた半導体装置に関するものである。

【0002】

【従来の技術】 半導体装置は、薄膜形成、洗浄、熱処理、写真製版等を組合わせて作製される。たとえば洗浄工程に用いる洗浄液、写真製版工程に用いるレジストには不可避免的に Fe、Ni、Cr、Cu、Zn 等の重金属が混入されている。したがって、半導体装置にこれらの重金属が侵入する場合がある。

【0003】 半導体装置に重金属が侵入した場合の問題の一例として、PN 接合部に重金属が侵入すると、その

部分が結晶欠陥となり、電流がリークすることが挙げられる。

【0004】 半導体装置製造工程中、半導体装置に侵入した重金属を除去する工程をゲッタリングという。ゲッタリングには種々のものがあるが、シリコン単結晶ウエハの表面のうち、素子を形成しない領域である裏面に多結晶シリコン膜を形成して行なうゲッタリングについて以下説明していく。

【0005】 シリコン単結晶ウエハの裏面に多結晶シリコン膜を形成すると、次の 2 つの理由でゲッタリングが行なわれる。

【0006】 (理由 1) 図 23 はシリコン基板 2 の一部分の拡大断面図である。シリコン基板 2 は、シリコン単結晶ウエハ 1 の裏面 9 上に多結晶シリコン膜 5 を形成したものである。多結晶シリコン膜 5 は多数の結晶粒 11 が集まったものである。各結晶粒 11 の境界を結晶粒界 13 という。

【0007】 裏面 9 と多結晶シリコン膜 5 との間には自然酸化膜 3 が形成されている。自然酸化膜 3 は、裏面 9 上に多結晶シリコン膜 5 を形成する際に不可避免的に形成されたものである。

【0008】 シリコン単結晶ウエハ 1 の主表面 7 には MOS (Metal-Oxide-Semiconductor) 電界効果トランジスタ 17 が形成されている。15 は何らかの原因で侵入した重金属を示している。

【0009】 重金属 15 にエネルギーを与えると、重金属 15 は結晶欠陥のところに集まる性質を有している。結晶粒界 13 は結晶欠陥の役割を果たす。熱処理工程の際に重金属 15 にエネルギーが与えられると、重金属 15 は結晶粒界 13 の部分に集まる。これにより半導体装置に侵入した重金属が除去される。

【0010】 (理由 2) 図 24 はシリコン基板 2 の一部分の拡大断面図である。図 23 中の符号が示すものと同一のものについては、同一符号を付すことによりその説明を省略する。熱処理工程の際に、多結晶シリコン膜 5 中のシリコンが自然酸化膜 3 を通りシリコン単結晶ウエハ 1 内に侵入する。これによりシリコン単結晶ウエハ 1 中に結晶欠陥 10 が発生する。熱処理工程の際にエネルギーを与えられた重金属 15 は、結晶欠陥 10 のところに集まる。

【0011】 図 25 は裏面に多結晶シリコン膜が形成された従来のシリコン基板の断面図である。シリコン基板 2 は、シリコン単結晶ウエハ 1 と、シリコン単結晶ウエハ 1 の裏面 9 に形成された自然酸化膜 3 と、自然酸化膜 3 上に形成された多結晶シリコン膜 5 とを備えている。A で示す自然酸化膜 3 の厚みは約 20 Å である。B で示す多結晶シリコン膜 5 の厚みは 1 μm である。7 はシリコン単結晶ウエハ 1 の主表面であり、主表面 7 に半導体素子が形成される。このような半導体基板は、たとえば USP 4, 053, 335 に開示されている。

【0012】図25に示すシリコン基板の製造方法を図26を用いて簡単に説明する。シリコン単結晶のインゴットを準備する。このインゴットをスライスする。このスライスされたシリコン単結晶ウエハのエッジを面取りする。面取りとはウエハのエッジ部を丸くすることであり、これによりウエハのエッジ部が欠けるのを防ぐ。

【0013】面取りされたウエハの表面をラッピングとエッチングにより滑らかにする。すなわち、面取りされたウエハの表面をラッピングによって大まかに研磨する。ラッピングされたウエハにはラップ材、シリコンのかけら、ダメージ層等があるので、エッチングによってそれらを除去する。ウエハに付着したエッチング液を水で洗い落とす。

【0014】エッチングされたウエハの全表面に多結晶シリコン膜5を形成する。自然酸化膜3は、エッチング終了後多結晶シリコン膜形成までの間に自然にシリコン単結晶ウエハ1に形成されたものである。

【0015】そして多結晶シリコン膜が形成された主表面7をミラー研磨する。この状態が図25に示す状態である。

【0016】

【発明が解決しようとする課題】しかしながら、シリコン単結晶ウエハ1の裏面9に多結晶シリコン膜5を形成した従来のシリコン基板2においては十分なゲッタリングの効果を得られなかった。

【0017】この発明はかかる従来の問題点を解決するためになされたものである。この発明の目的は十分なゲッタリングの効果をえられる半導体装置を提供することである。

【0018】この発明の他の目的は十分なゲッタリングの効果がえられる半導体基板の製造方法を提供することである。

【0019】

【課題を解決するための手段】この発明に従った半導体装置の第1の局面は、半導体装置を形成するのに適した主表面と厚さ10Å未満の自然酸化膜が形成された裏面とを有する半導体基板と、自然酸化膜の上に形成されたゲッタリング用薄膜とを備えている。

【0020】この発明に従った半導体装置の第2の局面は、主表面と厚さ10Å未満の自然酸化膜が形成された裏面とを有する第1導電型の半導体基板と、半導体基板にチャネル領域を形成するように、主表面に間を隔てて形成された第2導電型の1対のソース／ドレイン領域と、ゲート絶縁膜を介在してチャネル領域上に形成されたゲート電極と、自然酸化膜の上に形成されたゲッタリング用薄膜とを備えている。

【0021】この発明に従った半導体装置の第3の局面は、主表面と厚さ10Å未満の自然酸化膜が形成された裏面とを有する半導体基板と、半導体基板の主表面上に形成され、エミッタ領域、ベース領域およびコレクタ領

域を有するバイポーラトランジスタと、自然酸化膜の上に形成されたゲッタリング用薄膜とを備えている。

【0022】この発明に従った半導体基板の製造方法の第1の局面は、エッチャントを用いて半導体ウエハの表面を滑らかにする工程と、エッチャントを取り除くために半導体ウエハを水洗する工程と、水洗工程により半導体ウエハの裏面に形成された自然酸化膜の厚みを減ずる工程と、自然酸化膜の上にゲッタリング用薄膜を形成する工程とを備えている。

【0023】この発明に従った半導体基板の製造方法の第2の局面は、半導体ウエハの裏面に形成された自然酸化膜の厚みを10Å未満にする工程と、自然酸化膜の上にゲッタリング用薄膜を形成する工程とを備えている。

【0024】

【作用】この発明に従った半導体装置の第1～第3の局面においては、半導体ウエハの裏面に形成された自然酸化膜の厚みを10Å未満にしている。自然酸化膜の厚みは従来に比べて薄くしているので、ゲッタリングの際に重金属は半導体基板からゲッタリング用薄膜にスムーズに移動する。またゲッタリング用薄膜中の原子は半導体基板にスムーズに移動する。

【0025】この発明に従った半導体基板の製造方法の第1の局面では、ゲッタリング用薄膜を形成する前に自然酸化膜を減じているので、自然酸化膜の厚みを薄くできる。

【0026】この発明に従った半導体基板の製造方法の第2の局面では、ゲッタリング用薄膜を形成する前に自然酸化膜の厚みを10Å未満にしている。

【0027】

【実施例】本発明者は半導体ウエハの裏面とゲッタリング用の膜との間の自然酸化膜の厚みが小さいほどゲッタリングの効果が向上することを発見した。これは次に示す理由によるものと思われる。図21および図22はシリコンのポテンシャルと多結晶シリコンのポテンシャルとの関係を示す図である。図21に示すように、自然酸化膜の厚みが大きいとシリコンのポテンシャルと多結晶シリコンのポテンシャルとの差が小さくなる。したがって、シリコン基板に侵入した重金属15は多結晶シリコン側に移動しにくくなる。多結晶シリコン中のSiがシリコン基板に移動する場合も同じことがいえる。

【0028】これに対して図22に示すように、自然酸化膜の厚みが小さいと、シリコンのポテンシャルと多結晶シリコンのポテンシャルとの差が大きくなる。したがってシリコン基板に侵入した重金属15は多結晶シリコン側に移動しやすくなる。多結晶シリコン中のSiがシリコン基板に移動する場合も同じことがいえる。自然酸化膜の厚みが小さいほどゲッタリング効果が向上するのは、以上説明した理由によるものと思われる。

【0029】図1はこの発明の一実施例の断面図である。シリコン基板2の裏面9には、不可避免的にできた自

然酸化膜 3 がある。C で示す自然酸化膜 3 の厚みは約 7 Å である。自然酸化膜 3 の下には多結晶シリコン膜 5 が形成されている。D で示す多結晶シリコン膜 5 の厚みは約 1 μm である。7 はシリコン単結晶ウエハ 1 の主表面であり、主表面 7 には半導体素子が形成される。

【0030】自然酸化膜 3 の厚みが 7 Å、10 Å、20 Å のシリコン基板を用いて半導体メモリを製造した。そしてこれらの半導体メモリの歩留を求めた。歩留は以下の式で表わされる。

【0031】歩留 = (良品数 / チップ総数) × 100 10
良品とは、半導体メモリが製品として出荷可能に必要な各種試験を合格したチップのことである。結果を図 2 に示す。図 2 を見ればわかるように、自然酸化膜の厚みが 10 Å 以下だと半導体メモリの歩留がかなり高いことがわかる。

【0032】次に、自然酸化膜に面するゲッタリング用薄膜の面の面方位が (2, 2, 0) であると、ゲッタリング効果が高いことを説明する。図 3 は縦軸に鉄の濃度、横軸に (2, 2, 0) の X 線強度と (1, 1, 1) の X 線強度との比のグラフである。横軸は横軸の数値が 20 大きくなれば、(2, 2, 0) の結晶粒が多いことを示している。図 3 を見ればわかるように、(2, 2, 0) が多くなるほど鉄の濃度が下がる。したがって自然酸化膜に面するゲッタリング用薄膜の面の面方位が (2, 2, 0) であるとゲッタリング効果が大きくなることがわかる。なお、ゲッタリングの条件は温度が 950℃、時間が 10 時間である。

【0033】図 1 に示すシリコン基板の製造方法を図 4 を用いながら以下説明する。シリコン単結晶のインゴットをスライスし、スライスしたシリコン単結晶ウエハ 30 に面取りを施した。この断面を図 5 に示す。19 は不可避免的に形成された自然酸化膜である。シリコン単結晶ウエハ 1 には面取りがされているので実際には 21 で示す部分は丸みを帯びている。

【0034】そして図 6 に示すように、シリコン単結晶ウエハ 1 の主表面 7 と裏面 9 とを、酸化アルミニウム粒 23 と水 25 とを用いてラッピングを施した。これにより主表面 7 と裏面 9 とが大まかに研磨された。

【0035】そして図 7 に示すように、ラッピングされたシリコン単結晶ウエハ 1 をエッチング液 27 に浸し主 40 表面 7 と裏面 9 をエッチング (ウェットエッチング 1) した。これによりラップ材、シリコンのかけら等が除去され、主表面 7 と裏面 9 とが滑らかになる。エッチング液の成分の割合は、以下のとおりである。

【0036】

HF : HNO₃ : CH₃COOH = 1 : 1 : 5

シリコン単結晶ウエハ 1 に付着したエッチング液を除去するために水でシリコン単結晶ウエハ 1 を洗浄 (水洗 1) した。その際に図 8 に示すように自然酸化膜 29 が 50 不可避免的に形成される。洗浄時間が長いほど自然酸化膜

29 の厚みは大きくなる。ラッピングによってシリコン単結晶ウエハ 1 に形成されたダメージ層や付着したラップ材、シリコンのかけら等を除去するためにエッチング液は原液を用いている。エッチング液が濃くなるほどエッチング効果が上がるからである。エッチング液が原液だから洗浄時間が 20 ~ 30 分かかる。したがって自然酸化膜 29 の厚みは約 8 Å ぐらいになる。

【0037】従来の方法によれば、この後多結晶シリコン膜を形成するのであるが、この実施例では自然酸化膜 29 を除去する処理を行なった。以下説明する。

【0038】図 9 に示すように、図 8 に示すエッチング液を除去したシリコン単結晶ウエハ 1 をフッ酸液 31 に浸した (ウェットエッチング 2)。これにより自然酸化膜 29 が除去された。フッ酸液 31 の濃度は 1 ~ 50 %、温度は 23 ~ 25℃、時間は 5 分前後が好ましい。

【0039】シリコン単結晶ウエハ 1 に付着したフッ酸液 31 を除去するために、シリコン単結晶ウエハ 1 を水で洗浄 (水洗 2) した。フッ酸液 31 は自然酸化膜を除去するだけなので、フッ酸液 31 の濃度はエッチング液の濃度より低い。したがって洗浄時間は短くて済み、この実施例では 5 分程度にした。洗浄時間が 5 分程度なので、シリコン単結晶ウエハ 1 に形成される自然酸化膜 3 (図 10 参照) の厚みは 3 Å 程度であった。

【0040】シリコン単結晶ウエハ 1 に付着したフッ酸液 31 を除去した後、図 11 に示す CVD 炉 35 内にシリコン単結晶ウエハ 1 を入れ、4 時間以内に多結晶シリコン 5 の形成工程を行なった。この理由を図 14 を用いて説明する。図 14 はシリコン単結晶ウエハから自然酸化膜を除去後、シリコン単結晶ウエハを放置した場合における放置時間と新たに形成される自然酸化膜の厚みとの関係を示すグラフである。図 14 を見ればわかるように、放置時間が 4 時間以内だと、自然酸化膜の厚みを 10 Å 以下にすることができる。4 時間経過後はグラフの曲線は徐々に上昇する。自然酸化膜の厚みは 20 Å になる。

【0041】図 12 に示すように、多結晶シリコン膜 5 形成後、シリコン基板 2 にミラー研磨を施した。シリコン単結晶ウエハ 1 の裏面 9 側をワックスを用いてセラミックプレート 41 に張付けた。定盤 37 上にはコロイダルシリカと NaOH とを混合した研磨液を含む研磨布 39 が設けられている。そしてシリコン単結晶ウエハ 1 の主表面 7 側を研磨布 39 に当てた。そしてセラミックプレート 41 と定盤 37 とを回転させ主表面 7 を研磨した。これを図 13 に示す。これにより主表面 7 が鏡面研磨される。

【0042】この発明に用いることができるゲッタリング用薄膜としては、たとえばノンドープ多結晶シリコン、ドープ多結晶シリコン、アモルファスシリコン、BSG (boro-silicate glass) 膜、PSG (phospho-silicate gl

ass) 膜、BPSG (boro-phospho-silicate glass) 膜、シリコンカーバイド、ボロンナイトライドがある。BSG膜、PSG膜、BPSG膜をゲッタリング用薄膜として用いた場合は、従来技術で説明したゲッタリングの理由 2 でのみゲッタリングは行なわれる。半導体基板中に移動し結晶欠陥を作る原子は以下のとおりである。ノンドープ多結晶シリコンの場合はシリコン原子である。ドープ多結晶シリコンの場合はシリコン原子、ドープされた不純物である。BSG膜の場合はボロン原子である。PSG膜の場合はリン原子である。BPSG膜の場合はボロン原子、リン原子である。シリコンカーバイドの場合は、シリコン原子、炭素原子である。ボロンナイトライドの場合は、ボロン原子、窒素原子である。

【0043】この実施例ではラッピングとウェットエッチング 1 によりシリコン単結晶ウエハの表面を滑らかにしているが、ウェットエッチングだけで滑らかにしてもよい。

【0044】この実施例ではシリコン単結晶ウエハについて説明したが、GaAs 等のウエハであってもよい。

【0045】この実施例では図 9 に示すように、自然酸化膜 29 をフッ酸液 31 を用いて除去しているが、プラズマ雰囲気中でのドライエッチングを用いてもよい。

【0046】この実施例では図 9 に示す工程と図 11 に示す工程との間に一度シリコン単結晶ウエハ 1 は大気中にさらされるが、同一のチャンバでエッチングと多結晶シリコン膜形成を行なえばシリコン単結晶ウエハ 1 を大気中にさらさずにすむ。これにより、自然酸化膜をエッチングした後、多結晶シリコン膜を形成する間に新たに形成される自然酸化膜の厚みをさらに小さくすることができる。特にチャンバ内の酸素濃度を 0 にすれば、多結晶シリコン膜とシリコン単結晶ウエハとの間に形成される自然酸化膜をなくすることができる。

【0047】図 15 は、同一チャンバでエッチングと多結晶シリコン膜形成を行なえる装置の模式図である。チャンバ 63 の周囲には加熱装置 61 が配置されている。チャンバ 63 内には、シリコン単結晶ウエハ 1 が入っている。シリコン単結晶ウエハ 1 は洗浄工程終了後のエッチドウエハつまり図 8 に示すシリコン単結晶ウエハ 1 である。

【0048】まずガス入口 65 から HF ガスをチャンバ 63 内に流し、図 8 に示す自然酸化膜 29 を除去した。自然酸化膜 29 除去後、ガス入口 65 からチャンバ 63 内に、SiH₄ ガスを入れ、図 11 に示す多結晶シリコン膜 5 を形成した。

【0049】図 4 に示すようにこの実施例ではラッピングとウェットエッチング 1 によりシリコン単結晶ウエハの表面を滑らかにしているが、図 16 に示すようにラッピングとドライエッチングにより滑らかにしてもよい。そしてこのドライエッチングによりシリコン単結晶ウエ

ハの裏面に形成された自然酸化膜を除去し、同じチャンバ内で引続いてゲッタリング用薄膜である多結晶シリコン膜を形成してもよい。

【0050】図 17 はこの発明の一実施例を用いて作製した MOS 電界効果トランジスタである。単結晶シリコン 4 の裏面には、自然酸化膜 3、多結晶シリコン膜 5 が順に形成されている。単結晶シリコン 4 の主表面には MOS 電界効果トランジスタ 47 が形成されている。MOS 電界効果トランジスタ 47 は、単結晶シリコン 4 中に間を隔てて形成されたソース・ドレイン 49a、49b と、ゲート絶縁膜 51 と、ゲート絶縁膜 51 上に形成されたゲート電極 53 とを備えている。

【0051】図 18 はこの発明の一実施例を用いて作製したバイポーラトランジスタの断面図である。55 はベース領域、57 はエミッタ領域、59 はコレクタ領域を示している。

【0052】

【発明の効果】図 19 はこの発明の他の実施例の断面図である。図 1 の符号が示すものと同一のものについては同一符号を付すことによりその説明を省略する。この発明の他の実施例では、ゲッタリング用薄膜をノンドープ多結晶シリコン膜 14 とドープ多結晶シリコン膜 12 の積層構造にしている。すなわち自然酸化膜 3 上にドープ多結晶シリコン膜 12 を形成し、ドープ多結晶シリコン膜 12 上にノンドープ多結晶シリコン膜 14 を形成している。多結晶シリコン膜中に不純物をドーピングすると、ドーピングされた不純物もシリコン単結晶ウエハ 1 中に移動し結晶欠陥を作る。したがってゲッタリング用薄膜に不純物をドーピングした方がゲッタリングの効果が高まる。しかしゲッタリング用薄膜のすべてをドーピングされた薄膜にすると、以下のような不都合が生じる。

【0053】図 20 はゲッタリング用薄膜がドープ多結晶シリコン膜のみからなるシリコン基板の断面図である。ゲッタリング用薄膜の表面が何らかの原因で欠け、その欠けたものが主表面 7 上に載ることがある。ドープ多結晶シリコン膜 12 の場合、欠けたドープ多結晶シリコン膜片 12a が主表面 7 上に載ると、ドープ多結晶シリコン膜片 12a 中の不純物がシリコン単結晶ウエハ 1 中に拡散し、不純物領域 8 を形成することがある。図 19 に示すようにゲッタリング用薄膜の表面部をノンドープ多結晶シリコン膜 14 にすると以上のような不都合は生じない。

【0054】この発明に従った半導体装置の第 1 ～第 3 の局面においては、半導体ウエハの裏面に形成された自然酸化膜の厚みを 10 Å 未満にしている。したがってゲッタリングの効果を向上させることができ、半導体装置の歩留りを向上させることができる。

【0055】この発明に従った半導体基板の製造方法の第 1 の局面では、ゲッタリング用薄膜を形成する前に自

然酸化膜を減じている。したがってゲッタリング用薄膜と半導体ウエハの裏面との間の自然酸化膜の厚みを従来より薄くことができる。

【0056】この発明に従った半導体基板の製造方法の第2の局面では、ゲッタリング用薄膜を形成する前に自然酸化膜の厚みを10 Å未満にしている。したがってゲッタリング用薄膜と半導体ウエハの裏面との間に形成される自然酸化膜の厚みが10 Å未満の半導体基板を製造することができる。

【図面の簡単な説明】

【図1】この発明に従った半導体基板の一実施例を示す断面図である。

【図2】自然酸化膜の厚みと半導体メモリの歩留りとの関係を示すグラフを表わす図である。

【図3】X線強度比とFe濃度との関係を示すグラフを表わす図である。

【図4】この発明に従った半導体基板の一実施例の製造方法を工程順に示す図である。

【図5】この発明に従った半導体基板の一実施例の製造方法の第1工程の断面図である。

【図6】この発明に従った半導体基板の一実施例の製造方法の第2工程の断面図である。

【図7】この発明に従った半導体基板の一実施例の製造方法の第3工程の断面図である。

【図8】この発明に従った半導体基板の一実施例の製造方法の第4工程の断面図である。

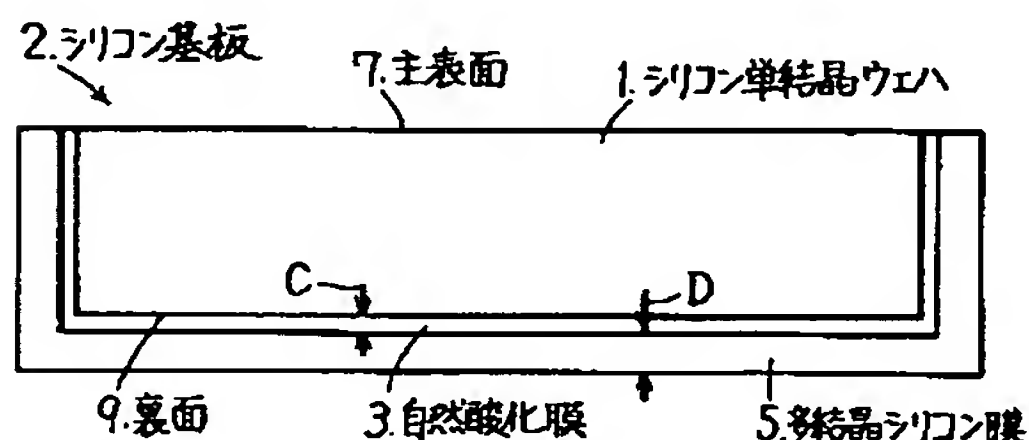
【図9】この発明に従った半導体基板の一実施例の製造方法の第5工程の断面図である。

【図10】この発明に従った半導体基板の一実施例の製造方法の第6工程の断面図である。

【図11】この発明に従った半導体基板の一実施例の製造方法の第7工程の断面図である。

【図12】この発明に従った半導体基板の一実施例の製造方法の第8工程の断面図である。

【図1】



【図13】この発明に従った半導体基板の一実施例の製造方法の第9工程の断面図である。

【図14】放置時間と自然酸化膜の厚みとの関係を示すグラフを表わす図である。

【図15】この発明に従った半導体基板の一実施例の製造方法の他の例で用いられる装置を示す模式図である。

【図16】この発明に従った半導体基板の一実施例の製造方法のさらに他の例を工程順に示す図である。

【図17】この発明に従った半導体基板の一実施例を用いて製造したMOSトランジスタの断面図である。

【図18】この発明に従った半導体基板の一実施例を用いて製造したバイポーラトランジスタの断面図である。

【図19】この発明に従った半導体基板の他の実施例を示す断面図である。

【図20】ゲッタリング用薄膜がドーパド多結晶シリコン膜のみからなる半導体基板の断面図である。

【図21】シリコンのポテンシャルと多結晶シリコンのポテンシャルとの第1の関係をj示す図である。

【図22】シリコンのポテンシャルと多結晶シリコンのポテンシャルとの第2の関係をj示す図である。

【図23】ゲッタリング理由1を説明するためのシリコン基板の部分拡大図である。

【図24】ゲッタリング理由2を説明するためのシリコン基板の部分拡大図である。

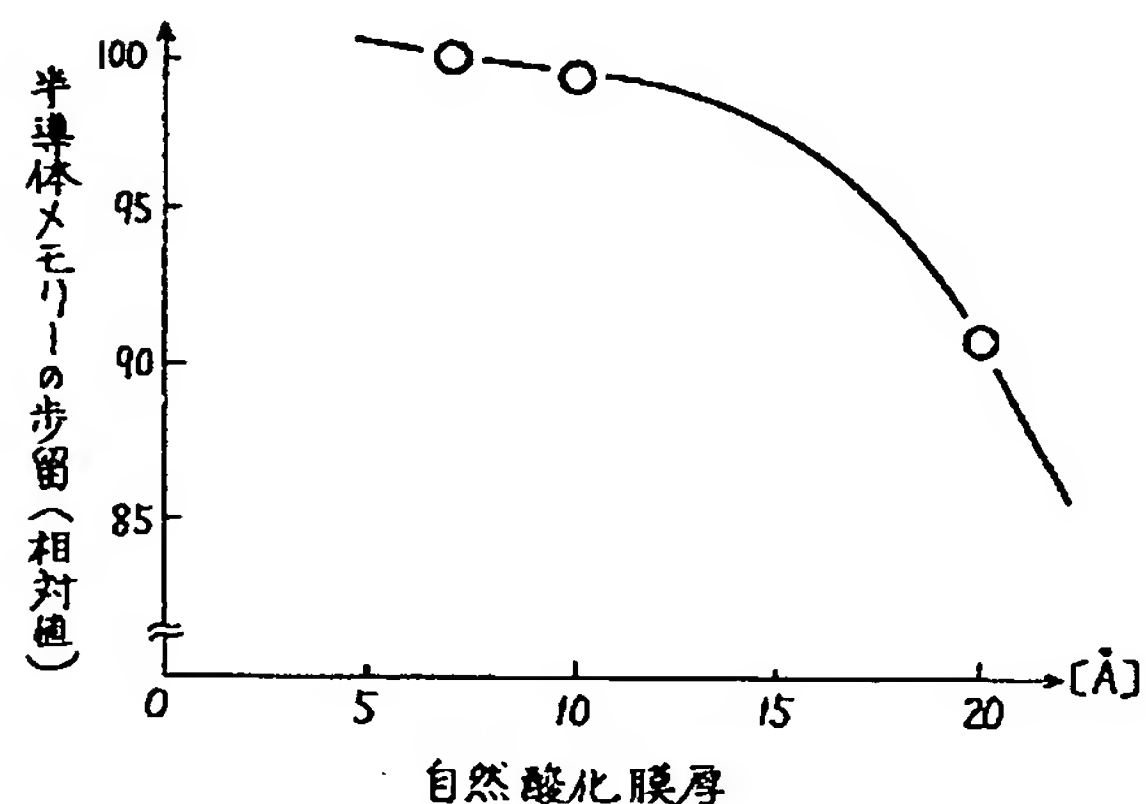
【図25】従来のシリコン基板の断面図である。

【図26】従来のシリコン基板の製造方法を工程順に示す図である。

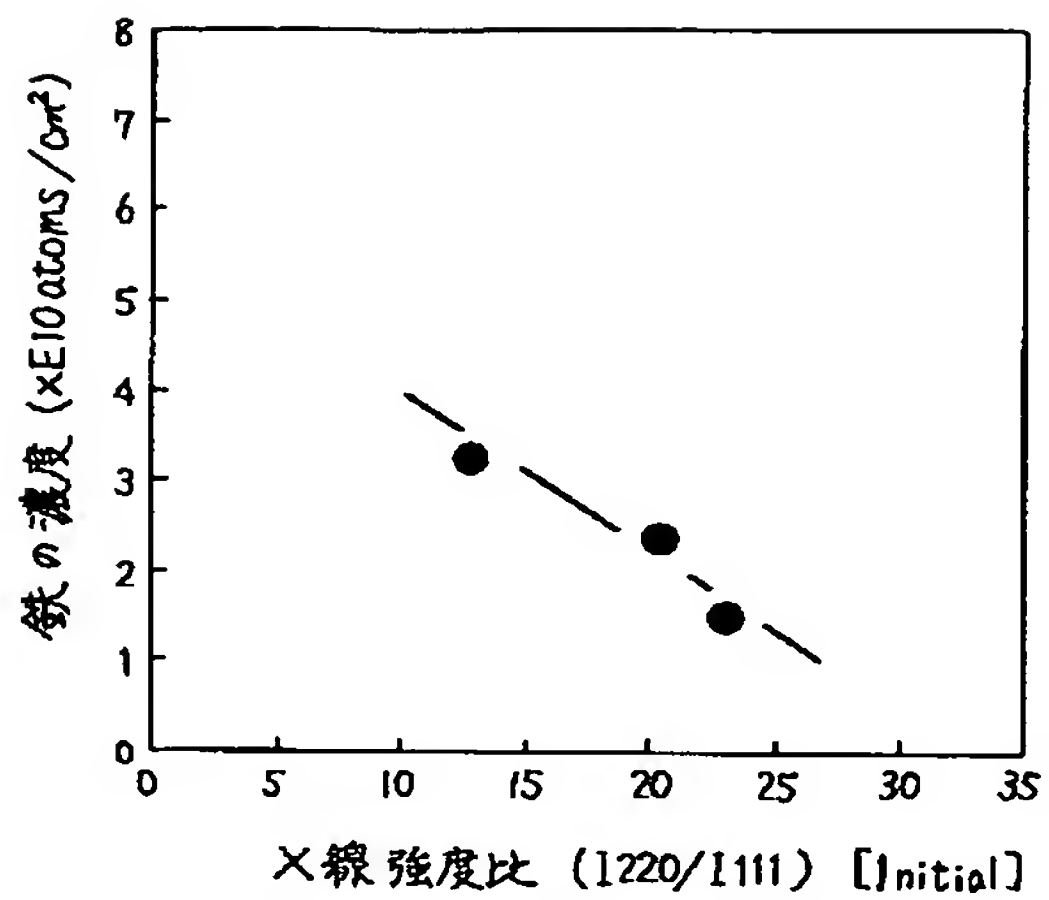
【符号の説明】

- 1 シリコン単結晶ウエハ
- 2 シリコン基板
- 3 自然酸化膜
- 5 多結晶シリコン膜
- 7 主表面
- 9 裏面

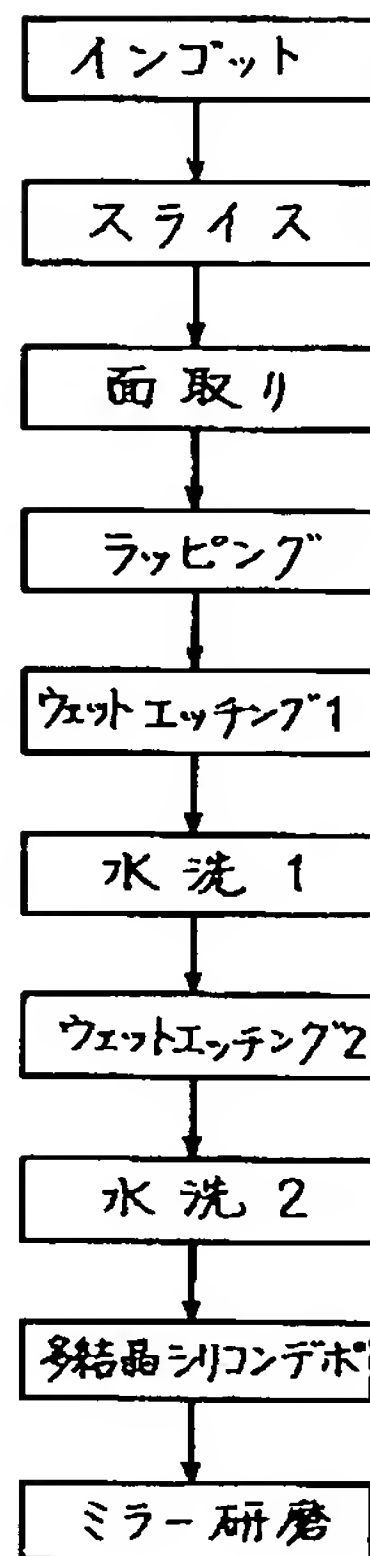
【図2】



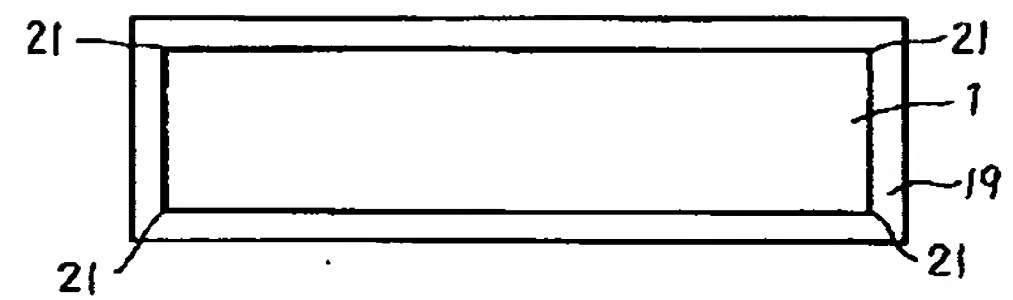
【図 3】



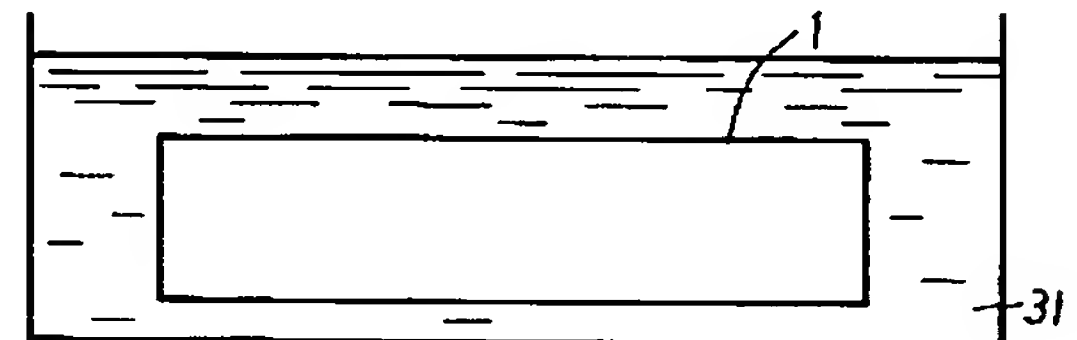
【図 4】



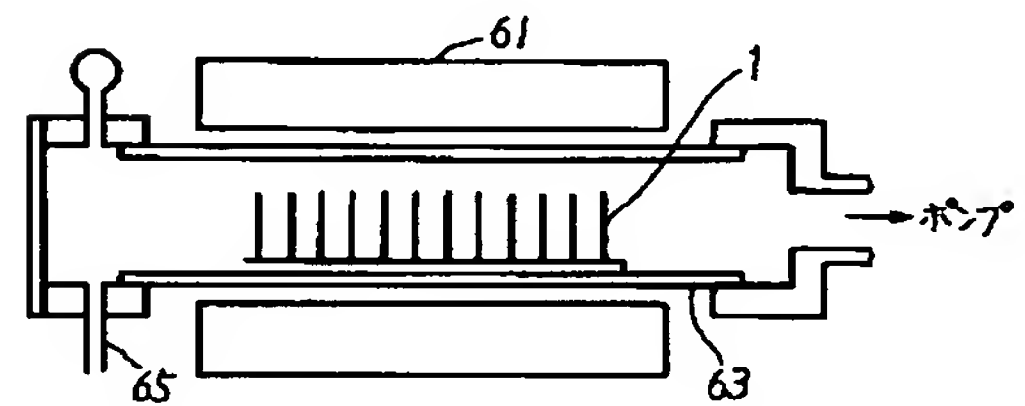
【図 5】



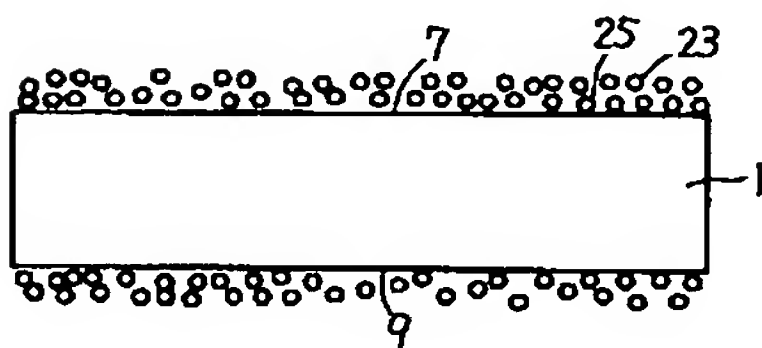
【図 9】



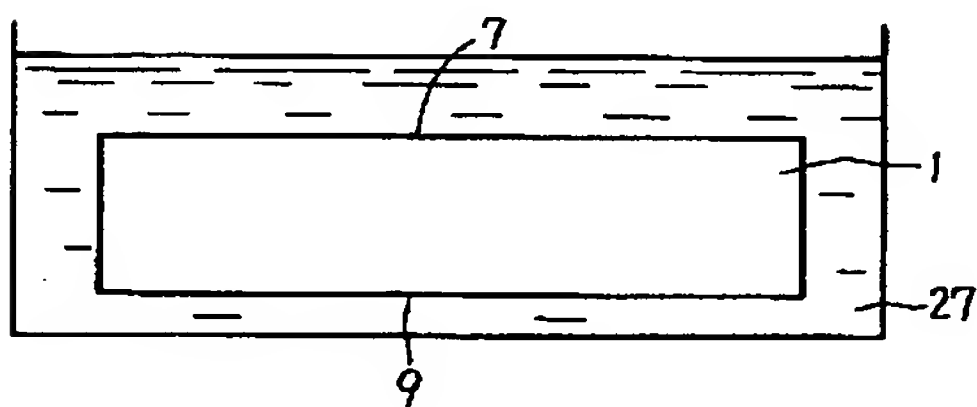
【図 15】



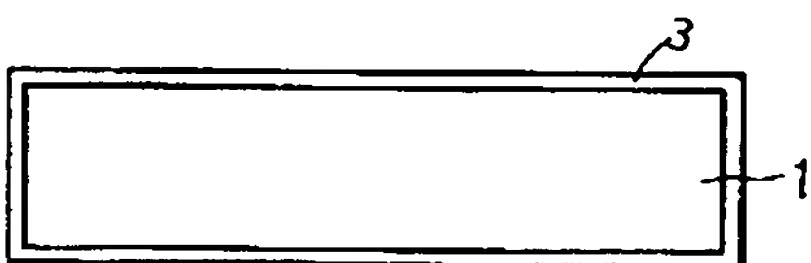
【図 6】



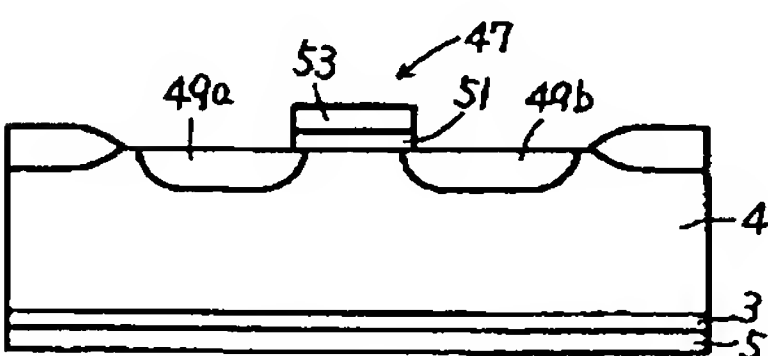
【図 7】



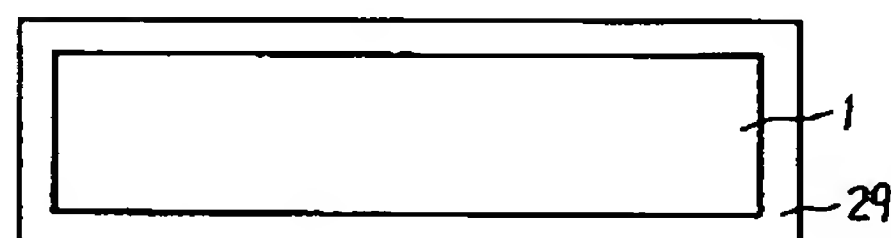
【図 10】



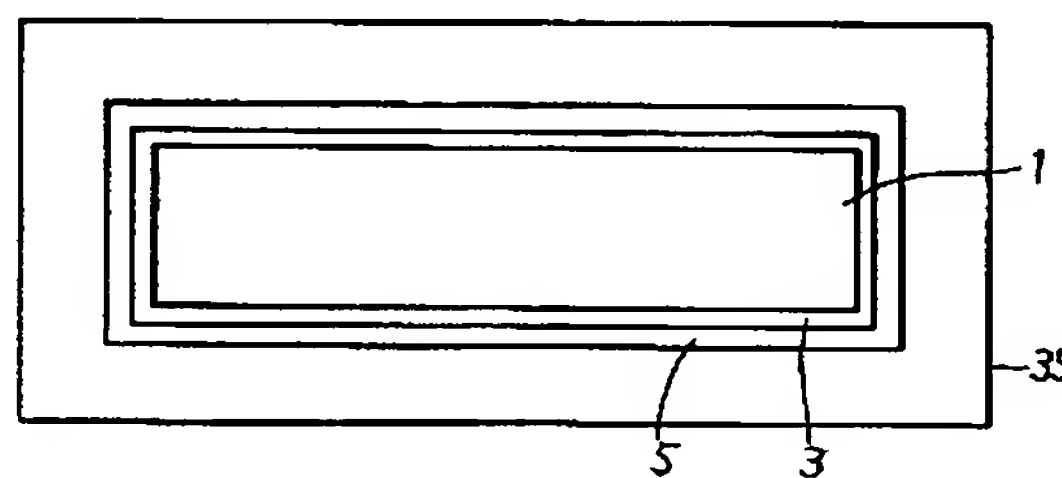
【図 17】



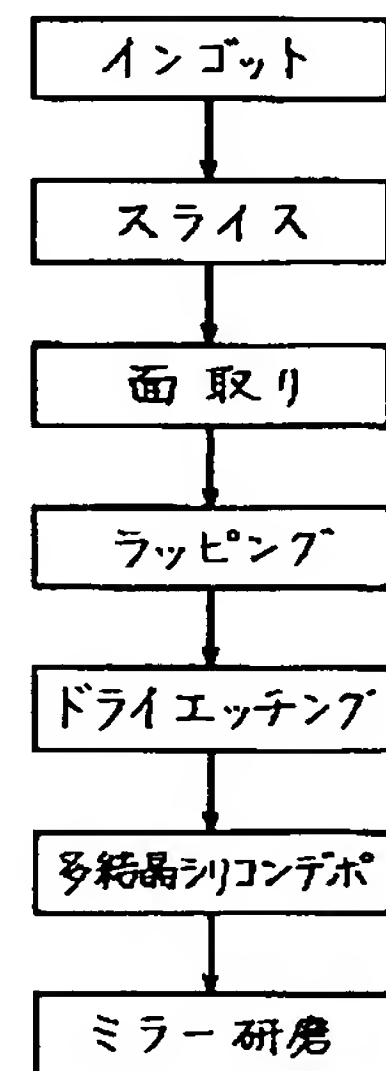
【図 8】



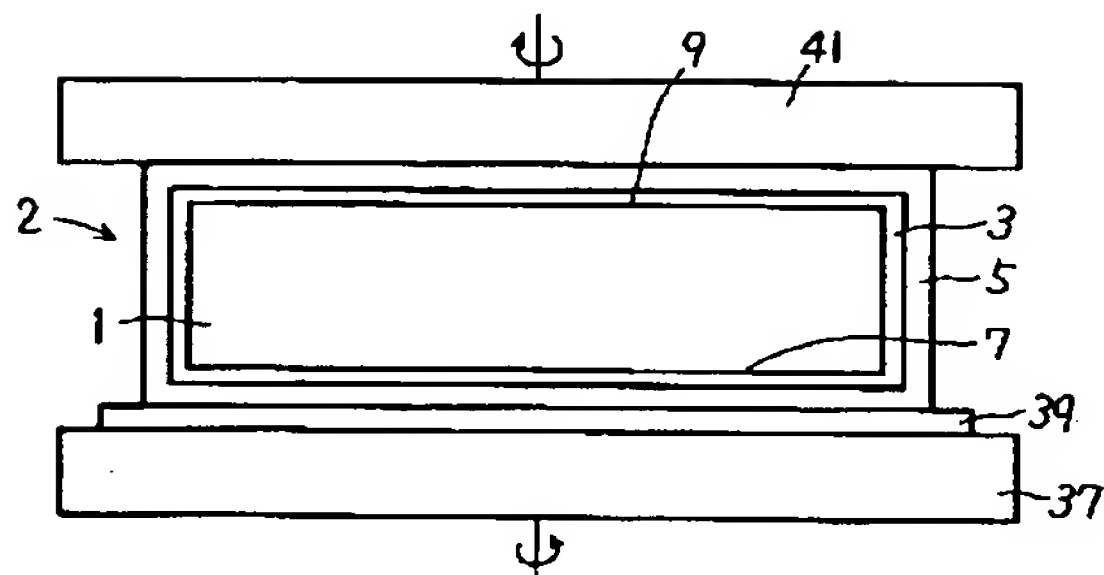
【図 11】



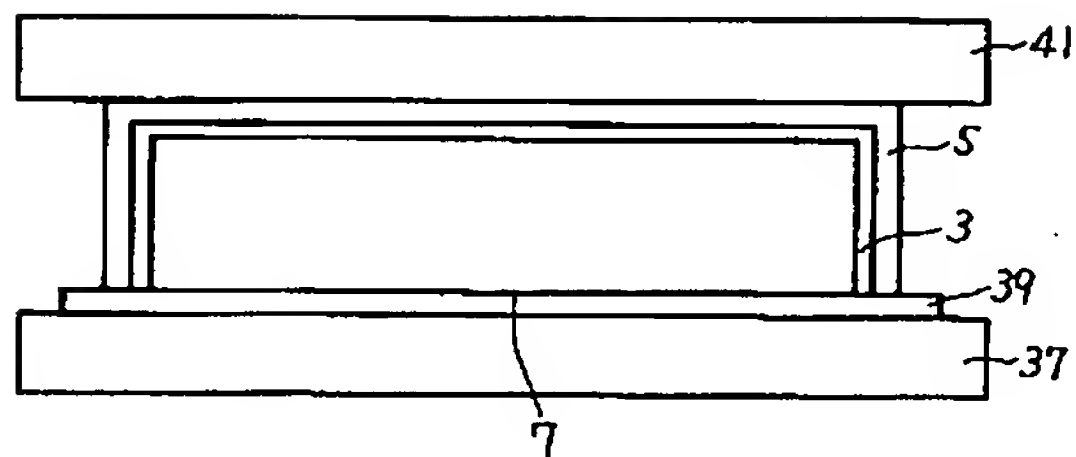
【図 16】



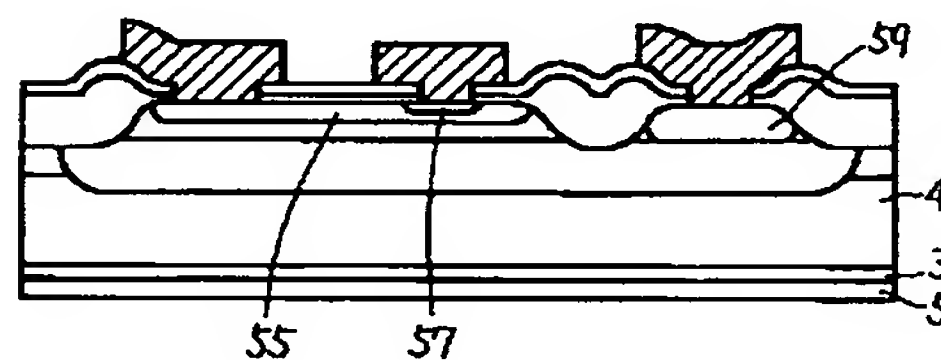
【図 1 2】



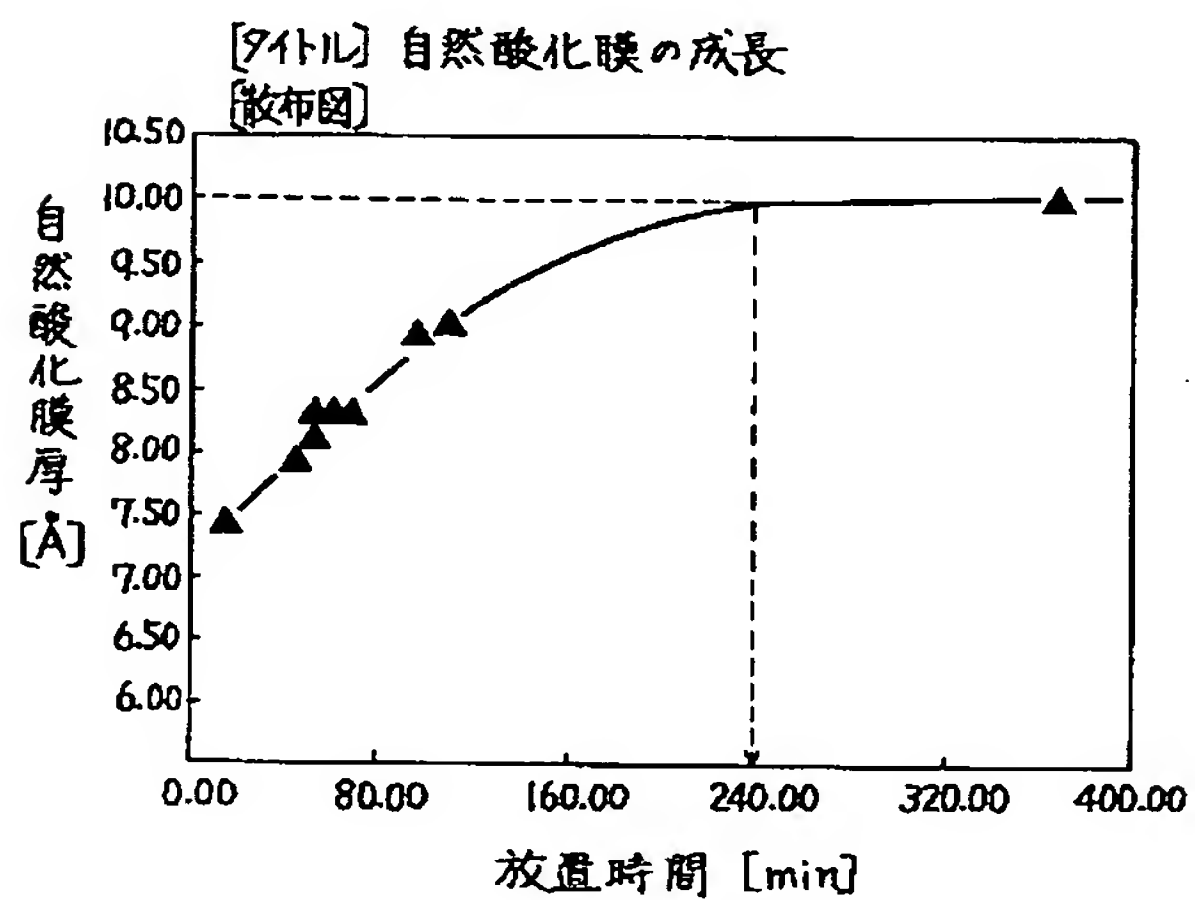
【図 1 3】



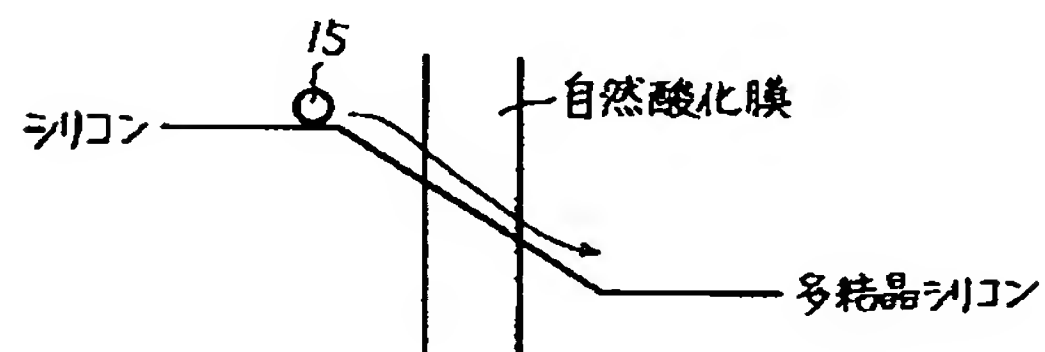
【図 1 8】



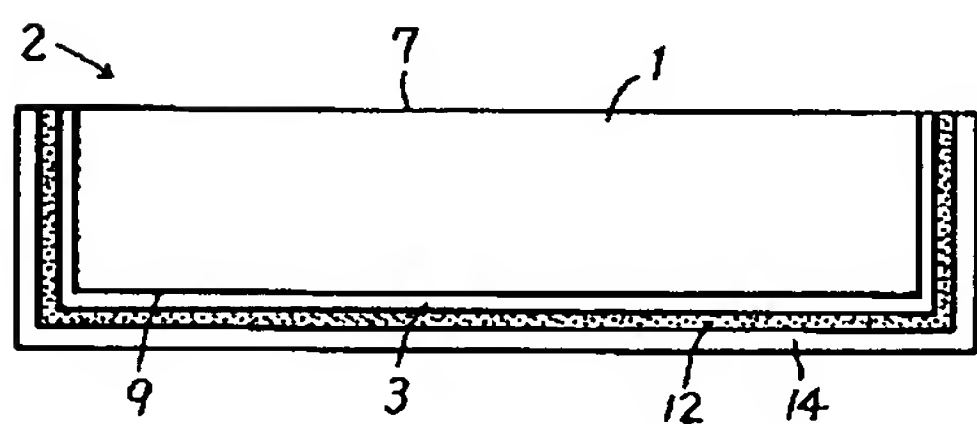
【図 1 4】



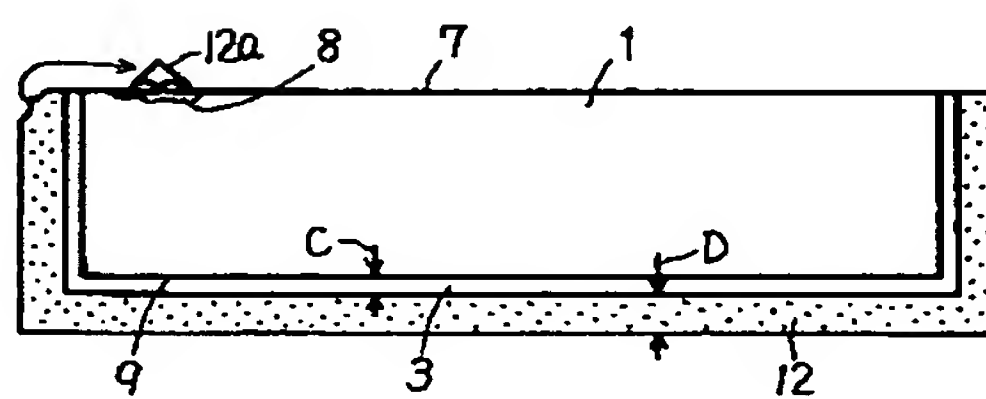
【図 2 1】



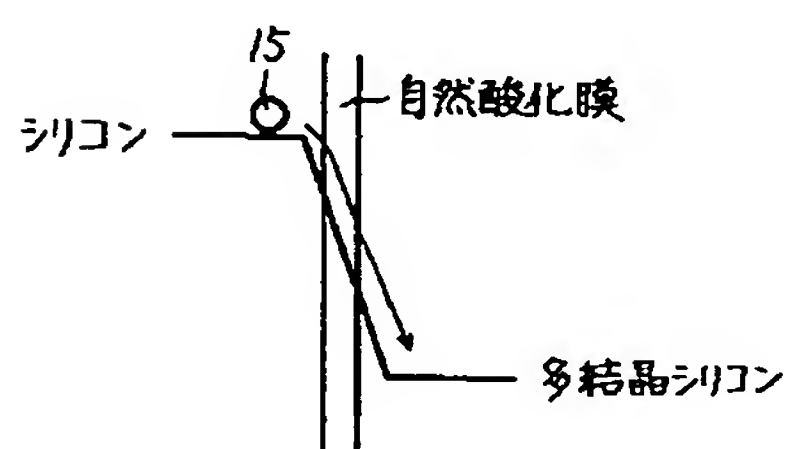
【図 1 9】



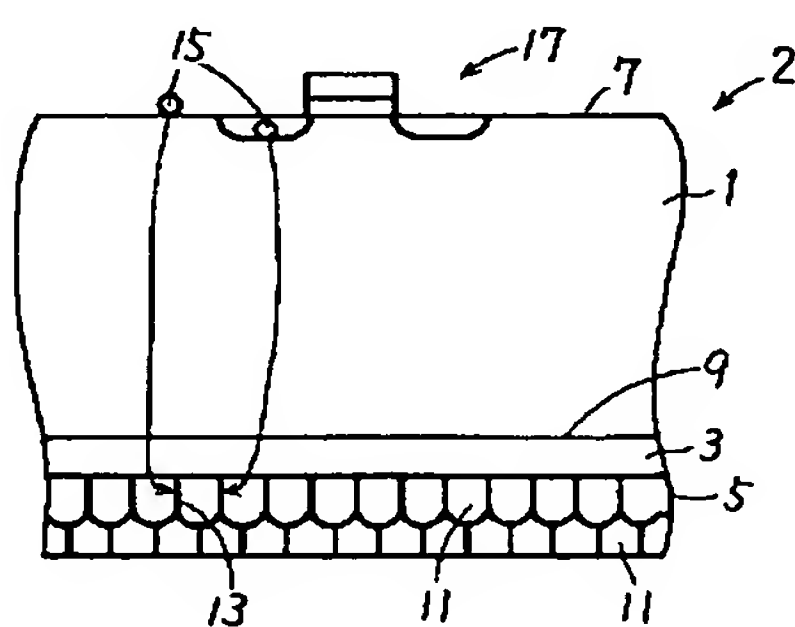
【図 2 0】



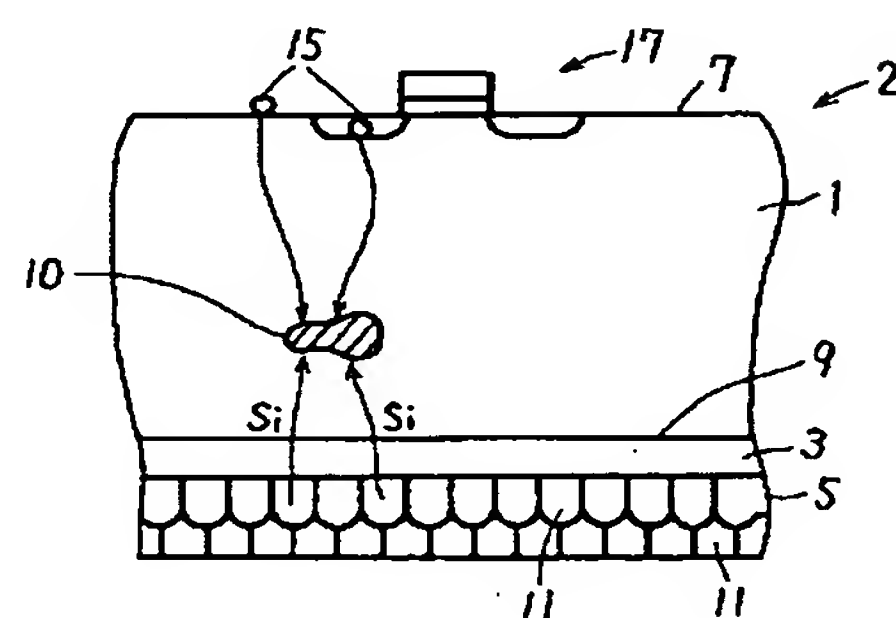
【図 2 2】



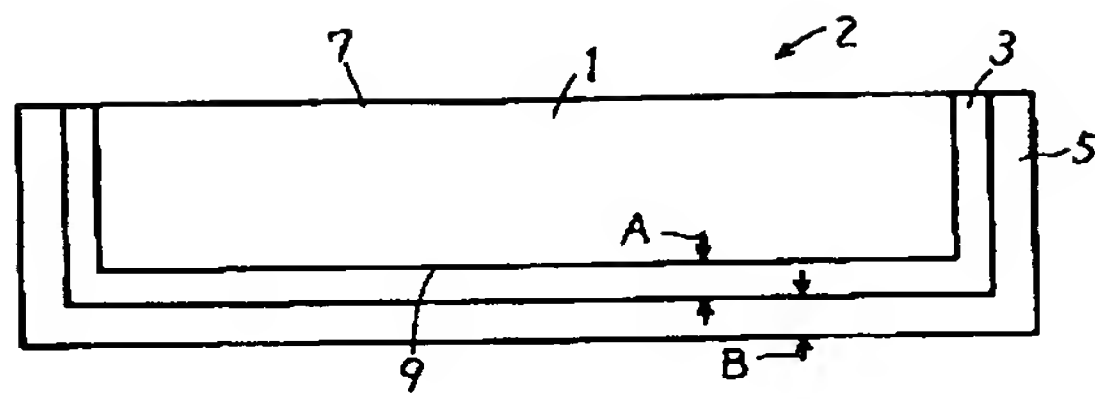
【図 2 3】



【図 2 4】



【図 2 5】



【図 2 6】

